

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097876
(43)Date of publication of application : 08.04.1997

(51)Int.Cl.
H01L 27/04
H01L 21/822
H01L 21/265

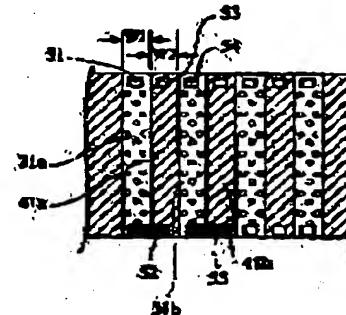
(21)Application number : 07-254783
(71)Applicant : TOSHIBA CORP
(22)Date of filing : 02.10.1995
(72)Inventor : HONNA MASARU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the error of the total resistance value of polycrystalline silicon resistors composed of polycrystalline silicon films and diffusion resistors composed of diffusion layers connected in series resulting from the error of the forming accuracy of the resistors by forming the diffusion resistors by introducing an impurity into a substrate by using the polycrystalline silicon resistors formed on an insulating film as a mask.

SOLUTION: Diffusion resistors 41a are formed by implanting impurity ions into a substrate by using polycrystalline silicon resistors 31a as a mask. When the widths W1 of the resistors 31a become wider than a desired value, the widths W2 of the diffusion resistors 41a formed by using the resistors 31a as a mask become narrower unless the absolute forming area of the resistor elements 41a and 31a changes. Even when the widths W1 become narrower than the desired value and a error occurs in the forming accuracy of the resistors 31a and 41a, the sum of the widths W1 and W2 always become constant. Consequently, even when the cross-sectional areas of the resistors 31a decrease or increase due to the forming error, the cross-sectional areas of the resistors 41a which are used in paired states with the resistors 31a increase or decrease. Therefore, the total resistance value of the resistors 31a and 41a connected in series offsets the forming error and approaches a desired value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97876

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl.
H 01 L 27/04
21/822
21/265

識別記号 広内整理番号

F I
H 01 L 27/04
21/265
27/04

技術表示箇所
R
J
P

審査請求 未請求 請求項の数7 〇頁 (全5頁)

(21) 出願番号 特願平7-254783

(22) 出願日 平成7年(1995)10月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 本名 勝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

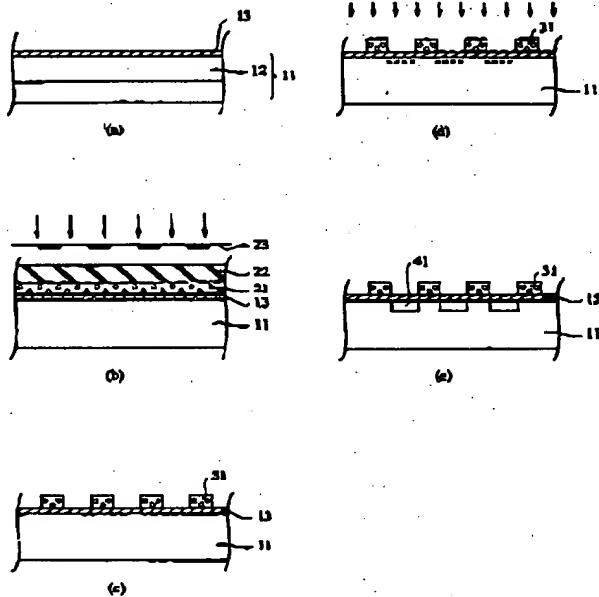
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 多結晶シリコン抵抗や拡散抵抗の製造方法において、加工精度の誤差によりこれら抵抗素子の幅、すなわち断面積に誤差が生じ、形成された抵抗素子の抵抗値に誤差が生じる。また、抵抗素子の断面積を増加させ、加工精度の誤差の影響を低減させる方法では、チップ面積の増大やコストの上昇を招く。

【解決手段】 半導体基板11上に多結晶シリコンを形成し、これを露光、現像し、所定の幅W1を有する多結晶シリコン抵抗31を形成する。次に半導体基板11内に、多結晶シリコン抵抗31をマスクとしてイオン注入を行い、所定の幅W2を有する拡散抵抗41を形成する。次に多結晶シリコン抵抗31の一端と拡散抵抗41の一端とを直列に接続し、抵抗素子を形成する。



【特許請求の範囲】

【請求項1】隣接した第一、第二領域を有する第一導電型の半導体基板と、少なくとも前記第一領域の半導体基板上に形成された第一絶縁膜と、前記第一絶縁膜上に形成された第一抵抗膜と、前記第二領域の半導体基板内に形成された第二導電型の第一拡散層と、前記第一抵抗膜及び前記第一拡散層の一端同士を電気的に接続する手段とを有し、前記第一抵抗膜の他端と前記第一拡散層の他端とを出入力端子とする抵抗素子を具備することを特徴とする半導体装置。

【請求項2】前記第一と第二領域は互いに平行であることを特徴とする請求項1記載の半導体装置。

【請求項3】前記抵抗膜は不純物が導入された多結晶シリコンよりなることを特徴とする半導体装置。

【請求項4】前記第二領域に隣接する第三領域を有し、前記第三領域の半導体基板上に形成された第二絶縁膜と、前記第二絶縁膜上に形成された第二抵抗膜とを有することを特徴とする半導体装置。

【請求項5】前記第一領域に隣接する第四領域を有し、前記第四領域の半導体基板内に形成された第二拡散層を有することを特徴とする半導体装置。

【請求項6】前記第三または第四領域は、前記第二または第一領域に平行であることを特徴とする請求項1または2記載の半導体装置。

【請求項7】第一導電型半導体基板の第一領域表面上に絶縁膜を形成する工程と、前記絶縁膜表面上に抵抗膜を形成する工程と、前記抵抗膜をマスクとして前記半導体基板の第二領域内の半導体基板内に第二導電型不純物を導入し拡散層を形成する工程と、前記抵抗膜の一端と前記拡散層の一端とを電気的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法、特に半導体集積回路に使用される抵抗素子を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路において使用される抵抗素子としては、半導体基板の絶縁膜上に所定の幅で形成した多結晶シリコンに不純物を導入して形成した多結晶シリコン抵抗や、半導体基板内に所定の幅で不純物を導入して形成した拡散抵抗等がある。これらの抵抗素子の抵抗値の制御は、それぞれに導入する不純物の濃度を調整したり、長さや幅等を調整することにより行っている。

【0003】次にこれら従来の抵抗素子の形成方法について簡単に説明する。図3は多結晶シリコン抵抗の製造方法について説明する断面図である。まず図3(a)に示すように、シリコン半導体基板111を用意する。次にこの基板111表面上に、熱酸化法やCVD法等により酸化膜112を形成する。この酸化膜112は基板上の他の半導体素子、例えばトランジスタ等を製造する際に形成するゲート酸化膜等と同様のものである。

【0004】統いて図3(b)に示すように、酸化膜112表面上にCVD法等により多結晶シリコン121を形成する。次にこの多結晶シリコン121上にポジ型フォトレジスト122を形成し、多結晶シリコン121を残す部分のみ露光光を遮断する露光用マスク123を用い、レジスト122を露光する。

【0005】統いて図3(c)に示すように、露光したレジスト122を現像し、図示せぬレジストマスクを形成した後、このレジストマスクを用いてRIE法等により多結晶シリコン121をエッチングし、レジストマスクを除去することにより、酸化膜112上に所定のバターンの多結晶シリコン抵抗131が形成される。統いて図示はしないが基板111上に層間絶縁膜を形成した後、この層間絶縁膜にコンタクト孔を形成し、多結晶シリコン抵抗131の端部を導電膜により配線する。図4は拡散抵抗の製造方法について説明する断面図である。

【0006】まず図4(a)に示すように、N型のシリコン半導体基板211を用意する。この基板211は、エピタキシャル層や埋め込み層でもよい。次に拡散抵抗を形成する領域の基板211上に窒化膜212を形成する。次に熱処理を行うことにより、窒化膜212が形成された領域以外の基板211は酸化され、素子分離用酸化膜213が形成される。次に窒化膜212を除去する。この方法はLOCOS法と呼ばれている一般的な方法である。尚、この素子分離用酸化膜の形成方法としては、この他、基板211内に酸化膜を埋め込む方法等もある。

【0007】統いて図4(b)に示すように、素子分離用絶縁膜213をイオン注入のマスクとして、基板211上より基板211とは反対導電型のP型不純物をイオン注入221する。このイオン注入221は、基板上の他の半導体素子、例えばトランジスタ等を製造する際の不純物領域の形成のためのイオン注入等と同時に実行する場合もある。

【0008】統いて図4(c)に示すように、熱処理を行うことにより、基板211にイオン注入された不純物が拡散し、基板とは反対導電型の拡散抵抗231が形成される。次に図示はしないが基板211上に層間絶縁膜を形成した後、この層間絶縁膜にコンタクト孔を形成し、拡散抵抗231の端部を導電膜により配線する。

【0009】上記に説明した製造方法によれば、次に示

すような問題点がある。多結晶シリコン抵抗の製造工程においては、レジストマスクの形成工程において、露光精度や現像精度等の加工精度の誤差によりレジストマスクの幅に誤差が生じる。この誤差を有するレジストマスクをマスクとして多結晶シリコンのパターニングを行うと、形成される多結晶シリコン抵抗自身の幅すなわち断面積に誤差が生じ、結果として多結晶シリコン抵抗の抵抗値に誤差が生じる。

【0010】また拡散抵抗の形成工程においても、素子分離用酸化膜の形成工程において、酸化マスクとして用いる塗化膜の加工精度の誤差により、素子分離用酸化膜間の幅、すなわち拡散抵抗の形成領域の幅に誤差が生じる。また素子分離用酸化膜をイオン注入のマスクとして用いているため、このバーズピーク等の発生により素子分離用酸化膜の膜厚を正確に制御することが困難な場合には、基板に導入される不純物量等にも誤差が生じる。従って拡散抵抗自体の幅すなわち断面積に誤差が生じ、結果として拡散抵抗の抵抗値に誤差が生じる。

【0011】抵抗素子の抵抗値に誤差が生じた場合は、その抵抗素子を要素とする集積回路において所定の動作特性が得られなかったり、誤動作が生じる等といった問題を生じる場合がある。また拡散抵抗を形成する場合には、イオン注入のマスクとして用いる素子分離酸化膜等が必要となるが、この素子分離用酸化膜を形成するための領域や、素子分離用酸化膜を形成するための工程数が増加する。

【0012】これら抵抗素子の幅方向の誤差による抵抗値の誤差を抑制するために、抵抗素子の幅を増加させ、加工精度の誤差の影響を低減させる方法があるが、この方法によれば、一定の抵抗値を得るために抵抗素子の断面積を増大させる必要があり、チップ面積の増大やコストの上昇を招くことになる。

【0013】

【発明が解決しようとする課題】上記のように、従来の多結晶シリコン抵抗や拡散抵抗の製造方法においては、その加工精度の誤差により、主にこれら抵抗素子の幅、すなわち断面積に誤差が生じ、形成された抵抗素子の抵抗値に誤差が生じるという問題点がある。このため抵抗素子の断面積を増加させ、加工精度の誤差の影響を低減させる方法があるが、この結果チップ面積の拡大やコストの上昇を招くという問題点がある。

【0014】

【課題を解決するための手段】本発明は上記の問題点を解決するため、以下に示すような半導体装置の製造方法を提供すると共に、この製造方法により製造された半導体装置を提供するものである。すなわち、隣接した第一、第二領域を有する第一導電型の半導体基板と、少なくとも前記第一領域の半導体基板上に形成された第一絶縁膜と、前記第一絶縁膜上に形成された第一抵抗膜と、前記第二領域の半導体基板内に形成された第二導電型の

第一拡散層と、前記第一抵抗膜及び前記第一拡散層の一端同士を電気的に接続する手段とを有し前記第一抵抗膜の他端と前記第一拡散層の他端とを出入力端子とする抵抗素子を具備する事を特徴とする半導体装置を提供する。またその製造方法として第一導電型半導体基板の第一領域表面上に絶縁膜を形成する工程と、前記絶縁膜表面上に抵抗膜を形成する工程と、前記抵抗膜をマスクとして前記半導体基板の第二領域内の半導体基板内に第二導電型不純物を導入し拡散層を形成する工程と、前記抵抗膜の一端と前記拡散層の一端とを電気的に接続する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0015】

【発明の実施の形態】本発明の実施例の製造方法について、以下、断面図や斜視図を参照しながら説明する。まず図1(a)に示すように、Nウエル領域12が形成されたP型シリコン基板11を用意する。次にこの基板11表面上に、熱酸化法やCVD法等により膜厚100~1000nm程度の酸化膜13を形成する。尚、この酸化膜13は基板11上の他の半導体素子、例えばトランジスタ等を製造する際に形成するゲート酸化膜等と同様のものでよい。

【0016】続いて図1(b)に示すように、酸化膜13表面上に、CVD法等により膜厚100~500nm程度の多結晶シリコン21を形成する。次に多結晶シリコン21上にポジ型フォトレジスト22を形成し、多結晶シリコン21を残す部分のみ露光光を遮断する露光用マスク23を用い、レジスト22を露光する。ここで露光するレジスト22の幅は、多結晶シリコン21を残す部分の幅と同程度とするのが望ましい。また多結晶シリコン抵抗を複数形成する場合には、これらを平行に形成するのが望ましい。

【0017】続いて図1(c)に示すように、露光したレジスト22を現像し、図示せぬレジストマスクを形成した後、このレジストマスクを用いてRIE法等により多結晶シリコン21をエッティングし、レジストマスクを除去することにより、酸化膜13上に所定の幅を有する複数の多結晶シリコン抵抗31が形成される。この多結晶シリコン抵抗31の幅は4~50μm程度、またその長さは10~5000μm程度とする。

【0018】続いて図1(d)に示すように、多結晶シリコン抵抗31をマスクとして基板11に、基板11とは反対導電型の不純物、例えばBを加速エネルギー5~100keV、ドーズ量1E13~5E15atoms·cm⁻²でイオン注入する。この際、多結晶シリコン抵抗31中にもイオン注入が行われる。

【0019】続いて図1(e)に示すように、熱処理を行うことにより、表面上に多結晶シリコン抵抗31が形成されていない基板11の領域に拡散抵抗41が形成される。以上の工程により、基板11上には多結晶シリコ

5

ン抵抗31が、また基板11内には拡散抵抗41が形成される。

【0020】統いて図示はしないが基板11上に層間絶縁膜を形成した後、この層間絶縁膜或いは層間絶縁膜と酸化膜13にコンタクト孔を形成し、多結晶シリコン抵抗31の一端と、隣接する領域下の拡散抵抗41の一端とを導電膜により配線する。

【0021】統いて図2の上面図を用いて、形成した多結晶シリコン抵抗と拡散抵抗の接続方法についてと、本発明の製造方法及びそれにより製造された半導体装置の効果について説明する。尚、図2において図1と同一の構成物については同一の符号を付している。

【0022】本発明の抵抗素子は、多結晶シリコン抵抗31と、この多結晶シリコン抵抗31に隣接する領域下に形成された拡散抵抗41とを一対として用いる。すなわち多結晶シリコン抵抗31aの一端に端子51を形成し、この多結晶シリコン抵抗31aの他端と拡散抵抗41aの一端とを端子52により電気的に接続し、この拡散抵抗41aの他端に端子53を形成する。よって抵抗素子としては、多結晶シリコン抵抗31aと拡散抵抗41aとが直列に接続されて用いられる。さらにこの他、これらの抵抗に隣接する多結晶シリコン抵抗31bと拡散抵抗41bとを端子55により直列に接続したものを、さらに端子53と端子54とを接続して用いる等、隣接する多結晶シリコン抵抗や拡散抵抗を直列に接続することにより形成する抵抗素子の抵抗値を、設計の段階にて任意に選択することができる。尚、これらの端子52～55は、層間絶縁膜にコンタクト孔を形成し、このコンタクト孔に導電膜を埋め込むことにより形成する。

【0023】上記のように接続された抵抗素子については、次に示すような効果を有する。従来の製造方法によれば、加工精度の誤差により、主に抵抗素子の幅、すなわち断面積に誤差が生じ、抵抗値に誤差が生じるという問題点があった。これは主にフォトマスクの露光精度や現像精度に起因するものである。本発明においてはこれらに起因する加工精度の誤差によって生じる抵抗素子の抵抗値の誤差を低減させることができる。

【0024】図2において多結晶シリコン抵抗31aの図中横方向の幅をW1とし、拡散抵抗41aの図面横方向の幅をW2とする。多結晶シリコン抵抗を形成する際に、レジストマスクに幅の誤差が生じた場合、その誤差は多結晶シリコン抵抗の幅の誤差となる。すなわち多結晶シリコン抵抗の幅W1は、広くなったり、或いは狭くなったりと、設計した値に対して誤差が生じる場合がある。一方、拡散抵抗41は多結晶シリコン抵抗31をイオン注入のマスクとして形成される。従って、多結晶シリコン抵抗の幅W1に誤差が生じている場合には、当然拡散抵抗の幅W2にも誤差が生じる。

【0025】しかしながら、多結晶シリコン膜の幅W1が所望の値より広くなかった場合、これをマスクとして形

6

成される拡散抵抗の幅W2は、これら抵抗素子が形成される絶対的な面積が変わらない限りは、狭くなる。またこれと反対に、多結晶シリコン膜の幅W1が狭くなった場合、これをマスクとして形成される拡散抵抗の幅W2は広くなる。すなわちW1とW2との和の値は、加工精度に誤差が生じた場合でも常に一定となる。

【0026】よって多結晶シリコン抵抗の断面積が加工精度の誤差により減少或いは増加し、抵抗値が所望の値より増加或いは減少したとしても、これと一対で用いられる拡散抵抗の断面積は増加或いは減少し、抵抗値は減少或いは増加するため、直列に接続されるこれら一対の多結晶シリコン膜と拡散抵抗との合計の抵抗値は、加工精度の誤差を相殺することになり、所望の値に近づくことになる。

【0027】尚、この効果は、多結晶シリコン抵抗と拡散抵抗の単位体積当たりの抵抗値が、等しい値に近づくほど、顕著となる。またこれらの単位体積当たりの抵抗値が異なる場合にも、上記に示した効果を有する。また、多結晶シリコン抵抗の幅と、拡散抵抗の幅を等しく設計する方が望ましい。

【0028】また多結晶シリコン抵抗の単位堆積当たりの抵抗率と、拡散抵抗の単位堆積当たりの抵抗率が異なる場合には、多結晶シリコン抵抗または拡散抵抗の一部の綫方向の長さを制御することによって、抵抗率の違いによる誤差を低減することもできる。

【0029】

【発明の効果】従来の製造方法によれば、加工精度の誤差により、主に抵抗素子の幅、すなわち断面積に誤差が生じ、抵抗値に誤差が生じるという問題点があつたが、本発明においては、これらに起因する加工精度の誤差によって生じる抵抗素子の抵抗値の誤差を低減させることができ、集積回路中に用いられる抵抗素子を、精度良く拡散抵抗と多結晶シリコン抵抗との組み合わせにより形成することができる。従って、抵抗素子の精度の悪化による集積回路の誤動作等の問題点を解決することができる。

【図面の簡単な説明】

【図1】本発明の製造方法を説明する断面図。

【図2】本発明の半導体装置の接続方法及び効果を説明する上面図。

【図3】従来の抵抗素子の製造方法を説明する断面図。

【図4】従来の抵抗素子の製造方法を説明する断面図。

【符号の説明】

1 1、1 1 1 P型シリコン基板

1 2 Nウェル領域

1 3、1 1 2 酸化膜

2 1、1 2 1 多結晶シリコン

2 2、1 2 2 ポジ型フォトマスク

2 3、1 2 3 露光用マスク

50 3 1、1 3 1 多結晶シリコン抵抗

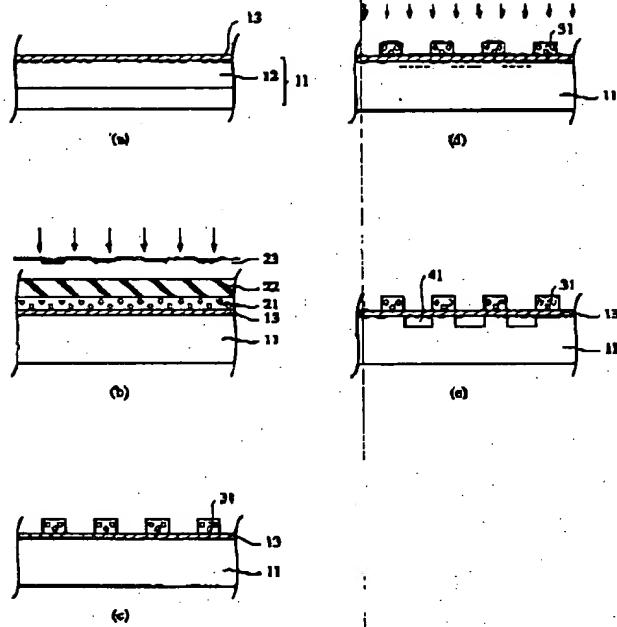
7

41、231 拡散抵抗
 51、52、53、54、55 端子
 131 レジストマスク
 211 N型シリコン基板
 212 窒化膜

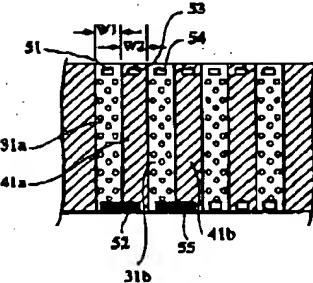
213 素子分離用酸化膜
 221 イオン注入
 W1 多結晶シリコン抵抗の幅
 W2 拡散抵抗の幅

8

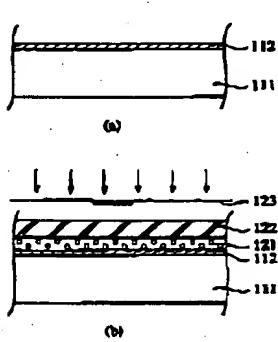
【図1】



【図2】



【図3】



【図4】

